



# ANALYSE DE DÉFAILLANCE : DE LA DÉTECTION AUX SOLUTIONS.



Auteur : Maxime Côté, ing.

OCTOBRE 2025

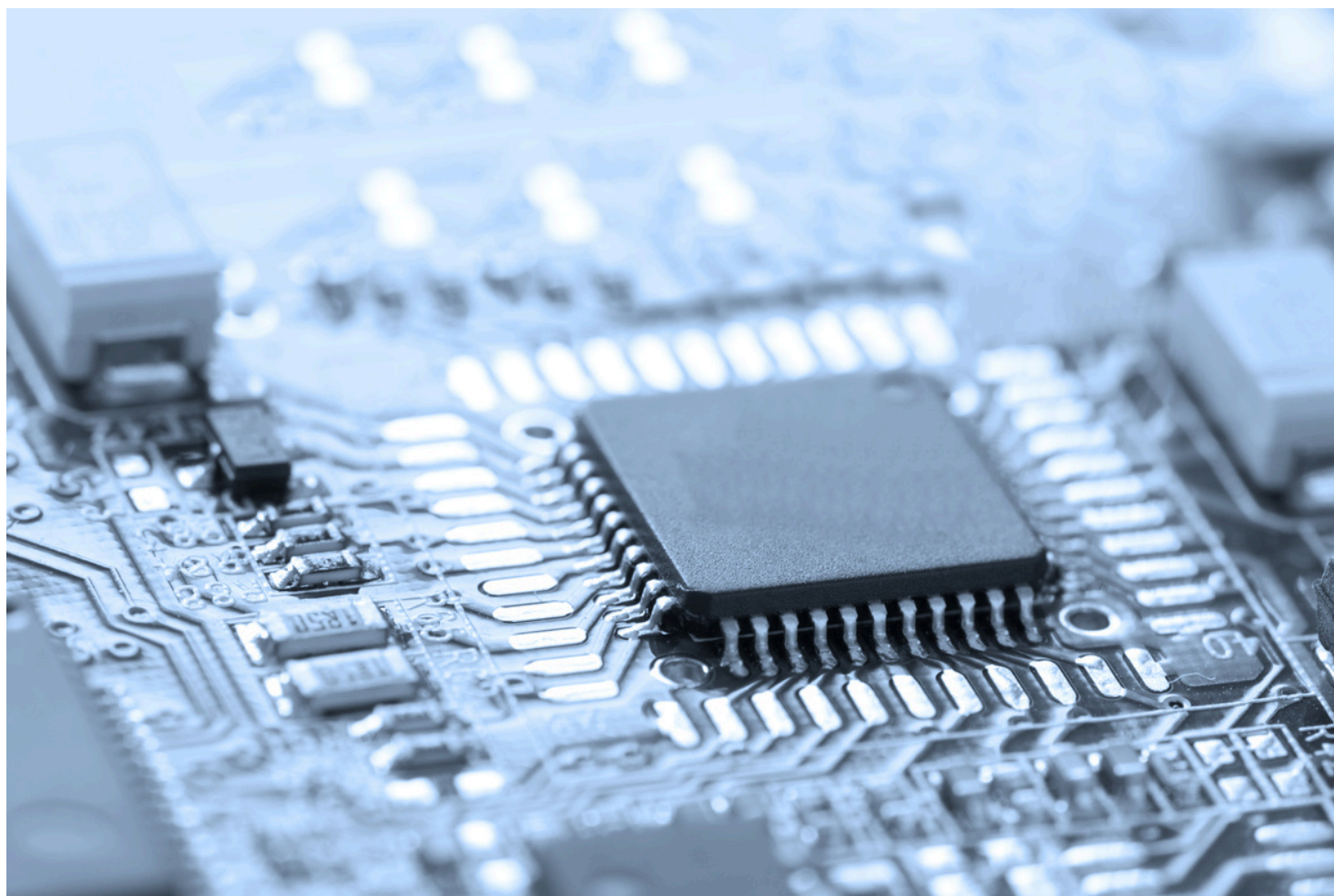


# 1. INTRODUCTION

L'analyse de la défaillance constitue un processus systématique essentiel dans le domaine des semi-conducteurs, visant à identifier la cause racine d'un dysfonctionnement au sein d'un système ou d'une composante électronique. La complexité croissante des structures intégrées rend cette démarche particulièrement exigeante, notamment en ce qui concerne la préservation des indices liés au mécanisme de défaillance.

L'adoption d'une méthodologie rigoureuse est donc cruciale pour garantir la qualité et la fiabilité des produits, tout en facilitant la mise en œuvre de solutions correctives ciblées et efficaces. En permettant d'identifier précisément la source du problème, l'analyse de la défaillance contribue à optimiser les ressources et à réduire les délais de résolution.

Le présent article propose un aperçu du processus d'analyse de défaillance appliqué aux modules assemblés et encapsulés possible au laboratoire du C2MI.



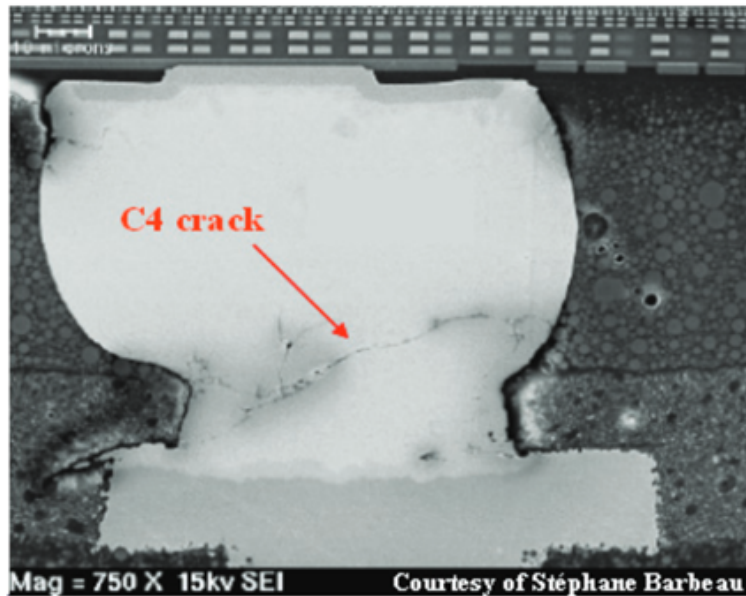
## 2. TYPES DE DÉFAILLANCES DANS L'ENCAPSULATION DES PUCES ÉLECTRONIQUES



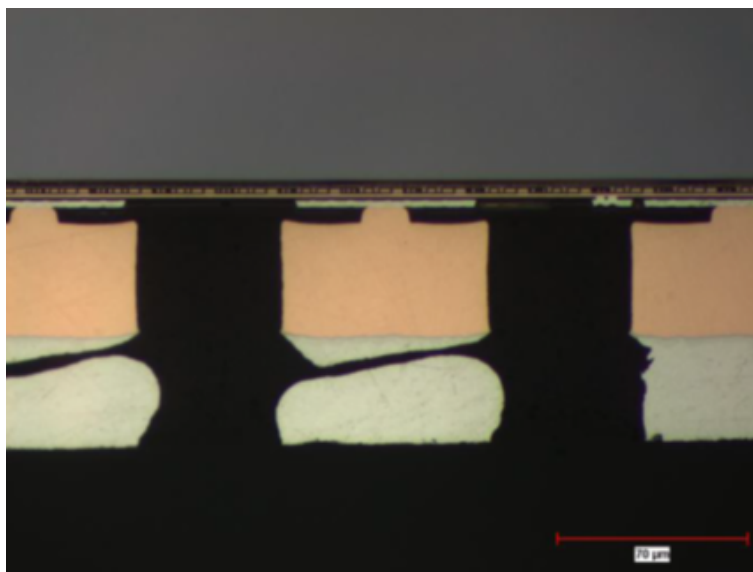
Les dispositifs électroniques peuvent présenter divers types de défaillances. Dans les modules assemblés, les modes les plus courants sont les circuits ouverts, les courts-circuits et les défaillances intermittentes.

Les circuits ouverts sont généralement causés par des défauts d'interconnexion, tels que :

- La fatigue des interconnexions induite par les cyclages thermiques (Figure 1).
- Une mauvaise jointure des interconnexions lors de l'assemblage sur le substrat (Figure 2).

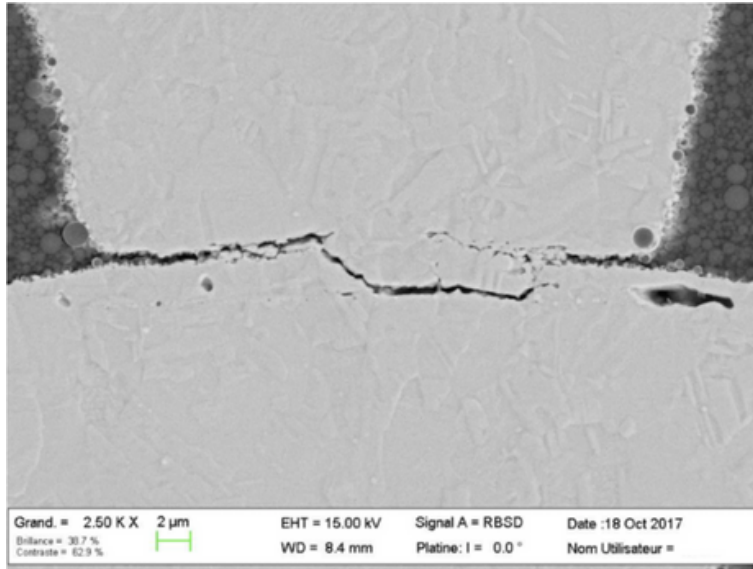


**Figure 1:** Craque dans l'interconnexion (Controlled Collapse Chip Connection « C4 ») [1].



**Figure 2:** Micro-section d'un circuit ouvert d'une mauvaise adhérence d'une interconnexion.

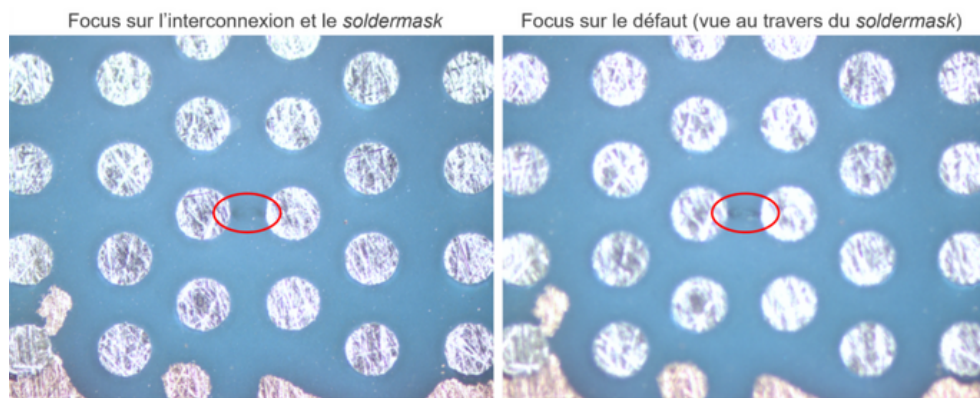
Au niveau des substrats, les circuits ouverts peuvent résulter de défauts de fabrication, de contraintes thermomécaniques (warpage), ou de fissures dans les vias inter-couches (Figure 3).



**Figure 3:** Micro-section d'un circuit-ouvert intermittent observé dans un via du laminé.

Les courts-circuits correspondent à des connexions non désirées entre deux signaux électriques. Ils peuvent, par exemple, être causés par :

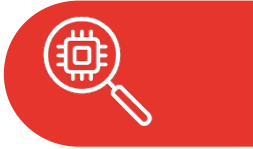
- Des ponts entre des interconnexions.
- Un excès de métal sur le laminé.
- Des contaminants conducteurs (Figure 4).
- Des défauts dans les matériaux d'encapsulation, tels que des vides dans l'*underfill* favorisant l'extrusion de soudure lors de l'attache à la carte.



**Figure 4:** Z-section jusqu'à la couche protectrice du substrat («soldermask») d'une contamination entre 2 signaux électriques dans la matrice d'encapsulation («underfill»)

Enfin, des **défaillances retardées**, plus rares et difficiles à diagnostiquer, peuvent survenir. Elles sont généralement liées à des phénomènes évolutifs tels que l'**électromigration** ou la **corrosion** induite par l'environnement, affectant progressivement les performances du système.

### 3. PROCÉDURE D'ANALYSE DES DÉFAILLANCES



Le processus d'analyse de défaillances est méthodique et permet d'obtenir le plus d'information possible pour aider à trouver la cause fondamentale de la défaillance.

Elle se divise en 4 étapes principales (Figure 5) :

1. Validation électrique de la défaillance
2. Inspection initiale et préparation de l'échantillon
3. Processus itératif de déstratification de l'échantillon et caractérisation de la défaillance
4. Rapport de défaillance

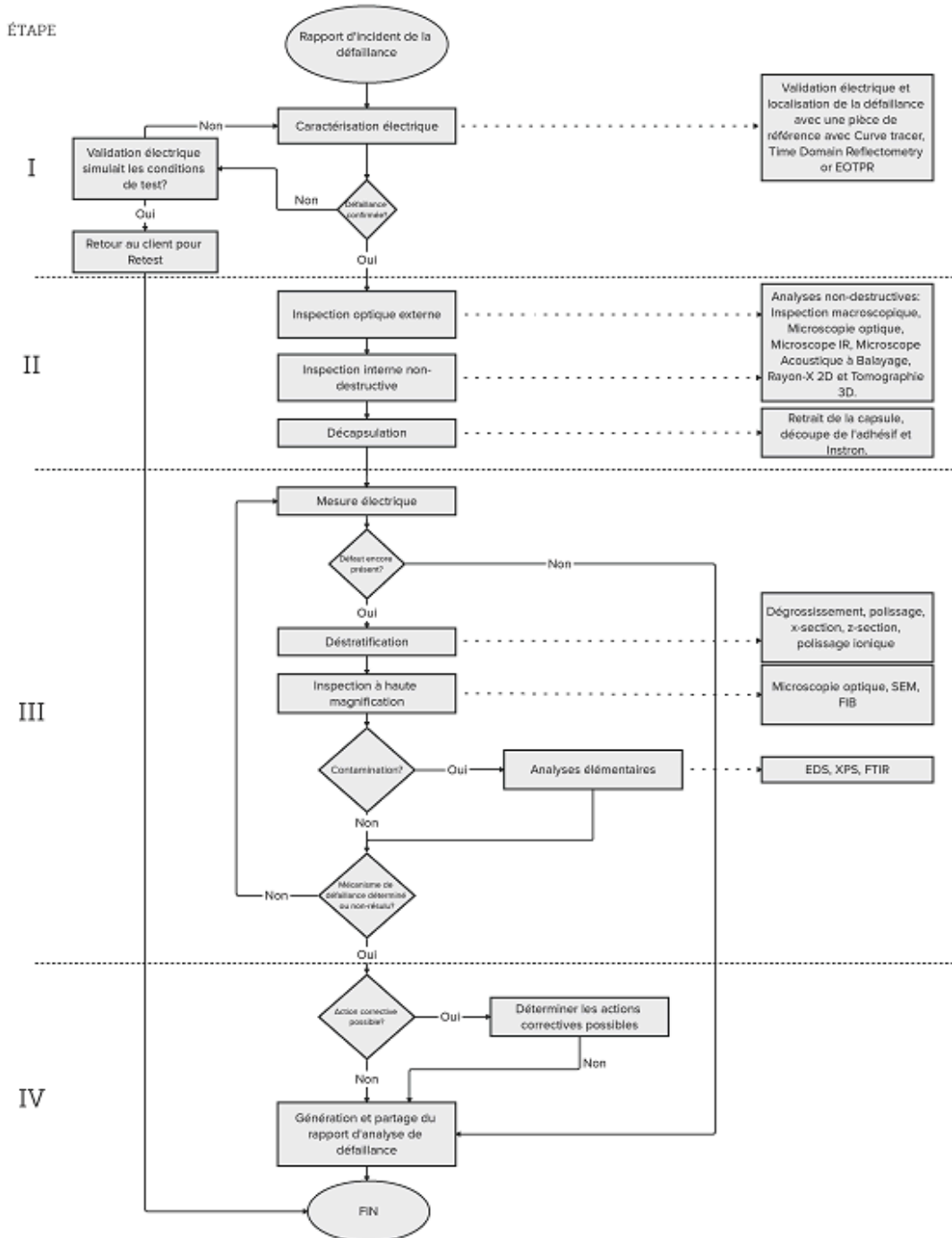


Figure 5: Processus détaillé d'analyse de défaillance, inspiré de Pabbisetty, 1999 [2].



## 4. MÉTHODES D'ESSAIS ÉLECTRIQUES

Dans le cadre de l'analyse de défaillance de modules électroniques assemblés, les essais électriques réalisés en laboratoire ne disposent pas des mêmes capacités qu'un équipement de test automatique (ATE – Automated Test Equipment), lequel permet de valider de manière exhaustive la fonctionnalité électrique des circuits intégrés.

En contexte d'analyse de défaillance, les tests de continuité – principalement les essais de court-circuit et de circuit ouvert – sont effectués à l'aide de stations de mesure manuelles. Ces tests visent à détecter des anomalies électriques élémentaires sur les interconnexions ou les composants du module.

Afin d'améliorer la localisation spatiale des défauts, l'utilisation d'un réflectomètre temporel (TDR – Time Domain Reflectometry) est recommandée. Cette technique permet d'identifier avec plus de précision la position des discontinuités dans les lignes de transmission ou les interconnexions internes.

Les résultats obtenus par ces mesures électriques constituent une étape critique pour confirmer la nature de la défaillance observée. Ils orientent la stratégie d'analyse à adopter lors des opérations de déstratification, en maximisant la conservation des indices physiques susceptibles de corroborer le mécanisme de défaillance.

## 5. TECHNIQUES D'INSPECTION

Les observations initiales constituent une étape essentielle dans la caractérisation macroscopique des modules électroniques, permettant d'identifier les écarts potentiels entre une pièce de référence et une pièce défaillante. Dès les premières phases de l'analyse de défaillance, le microscope optique s'impose comme l'outil privilégié. À différents niveaux de grossissement, il fournit des informations pertinentes tant en analyse préliminaire qu'au cours des étapes destructives successives de la déstratification.

En comparaison directe avec une pièce de référence, les observations optiques permettent de détecter des variations morphologiques ou structurelles. Lorsqu'une anomalie est suspectée, une augmentation du grossissement ou le recours au microscope électronique à balayage (MEB) est effectué afin d'obtenir une imagerie de surface à haute résolution. Le MEB permet également une caractérisation fine de la morphologie des défauts et couplé à la spectrométrie en dispersion d'énergie des rayons X (EDS), il offre une capacité d'analyse chimique localisée.



Des techniques non destructives complémentaires sont également utilisées. Le microscope acoustique à balayage (SAM – Scanning Acoustic Microscope) permet de détecter les délaminations et porosités à différentes interfaces critiques du module soit par réflexion ou par transmission d’ondes ultrasonores. Le microscope infrarouge, quant à lui, est efficace pour la détection de fissures dans le silicium des circuits intégrés.

L’imagerie par rayons X permet de visualiser les structures internes, notamment les soudures de type BGA et les défauts présents dans les matériaux plus denses. La tomographie par rayons X constitue une technique avancée permettant une reconstruction volumique des objets inspectés, particulièrement utile pour l’analyse de défauts internes complexes.

## 6. TECHNIQUES DE DÉGAGEMENT ET DE DÉSTRATIFICATION

La stratégie de déstratification est ajustée en fonction des résultats obtenus par différentes techniques d’inspection non-destructives. Ces observations permettent de cibler les zones d’intérêt et de choisir la méthode la plus appropriée pour accéder aux couches internes ou aux défauts.

### 1. Sciage mécanique

- Utilisé pour des coupes grossières ou pour accéder rapidement à une zone spécifique.

### 2. Polissage en x-section (section transversale)

- Permet d’observer les couches empilées dans le plan horizontal.
- Utile pour les structures multicouches ou les défauts interfaciaux.

### 3. Polissage en z-section (profondeur)

- Utilisé pour révéler les couches successives en profondeur.
- Souvent employé pour des analyses séquentielles ou 3D.

### 4. Ion Milling (décapage ionique)

- Technique de précision pour raffiner et révéler les microstructures des surfaces polies mécaniquement sans endommager davantage les structures.
- Idéal pour les matériaux sensibles ou les zones critiques.

### 5. Coupes FIB (Focused Ion Beam)

- Très haute précision, permet de cibler des zones microscopiques.
- Permet d’exposer des couches sans causer aucun artéfact de polissage.
- Utilisé pour des analyses locales, couplé avec le MEB pour l’alignement et l’observation.

## 7. CARACTÉRISATION CHIMIQUE



La caractérisation chimique joue un rôle essentiel dans l'identification de la nature des contaminations susceptibles d'avoir causé une défaillance. En déterminant la composition chimique des contaminations, il devient plus facile de comprendre l'origine du problème, proposer des actions correctives ciblées et de prévenir les récurrences futures. Les différentes techniques analytiques utilisées dans la caractérisation chimique sont notamment l'**EDS**, le **XPS** et le **FTIR** :

### 1. **EDS (Energy Dispersive X-ray Spectroscopy) :**

- Couplé avec le MEB.
- Permet une analyse élémentaire locale.
- Rapide et semi-quantitatif.

### 2. **XPS (X-ray Photoelectron Spectroscopy) :**

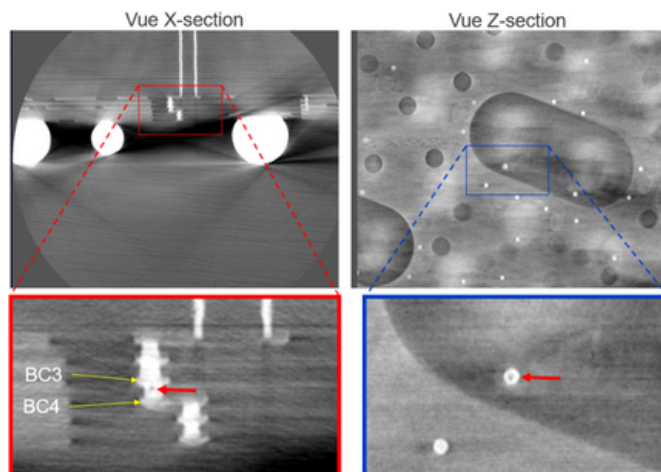
- Analyse des états chimiques de surface.
- Très utile pour les couches minces ou les contaminations superficielles.
- Donne des informations sur les liaisons chimiques.

### 3. **FTIR (Fourier Transform Infrared Spectroscopy) :**

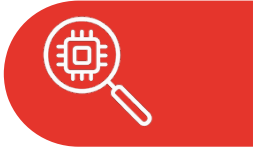
- Identification des composés organiques.
- Très efficace pour les résidus polymériques ou les contaminations organiques.
- Spectroscopie basée sur les vibrations moléculaires.

## 8. ÉTUDE DE CAS

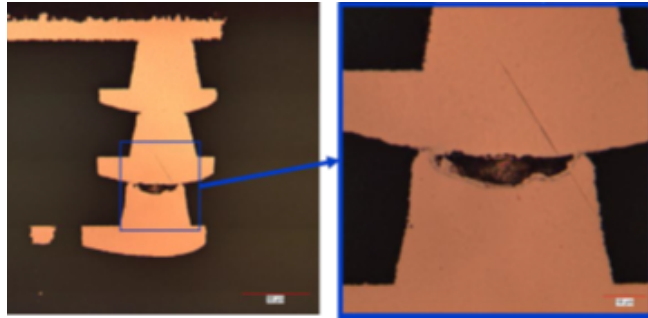
Le client a signalé une défaillance intermittente de circuit ouvert affectant plusieurs modules. Bien que la station électrique et le TDR aient confirmé la présence d'un seul circuit ouvert intermittent, une fois la capsule retirée du module, des anomalies ont été observées en tomographie 3D dans les empilements de via du substrat organique (Figure 6).



**Figure 6 :** Observation Tomographie 3D en x-section et z-section du défaut de vide dans le stack via du laminé.

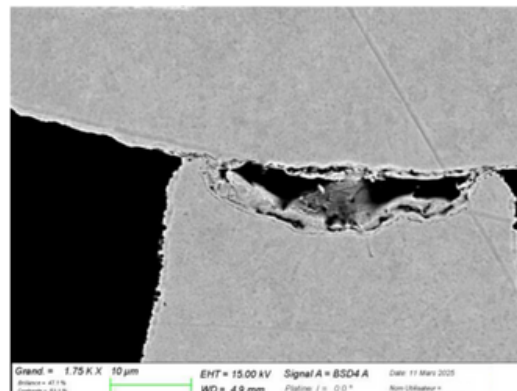


La déstratification et le polissage mécanique du laminé ont permis de révéler le défaut d'intérêt. L'inspection sous microscope optique à haute magnification a ensuite permis de mieux visualiser et caractériser ce défaut (Figure 7).



**Figure 7:** Observation sous microscope optique à haute magnification.

Après le polissage ionique, la microstructure du cuivre ainsi que les artéfacts liés au polissage mécanique ont pu être observés en détail au MEB (Figure 8). La coupe FIB a également confirmé la présence d'un vide, sans trace de contamination résiduelle (Figure 9).



**Figure 8:** Observation du défaut au MEB par suite du polissage ionique (ion milling).



**Figure 9:** Observation de la coupe FIB du défaut.

Une action corrective a été mise en place avec le fournisseur du laminé organique afin de prévenir la récurrence de ce type de défaillance.



## 9. CONCLUSION

L'analyse de défaillance occupe une place centrale dans l'industrie des semi-conducteurs en raison de la complexité croissante des dispositifs et des exigences de fiabilité toujours plus strictes. Elle ne se limite pas à identifier les causes racines des défaillances : elle constitue un levier stratégique pour améliorer les procédés de fabrication, réduire les coûts liés aux retours clients et garantir la qualité des produits dans un marché hautement compétitif.

Au-delà de son rôle correctif, l'analyse de défaillance est un moteur d'innovation. En fournissant des informations précises sur les mécanismes de défaillance, elle alimente la conception de nouvelles structures, l'optimisation des matériaux et l'amélioration des procédés. Cette boucle d'apprentissage continue permet non seulement d'augmenter la fiabilité et la performance des dispositifs, mais aussi d'accélérer le développement de technologies d'assemblage avancées comme les nœuds sub-5 nm, les dispositifs 3D et les solutions pour l'intelligence artificielle (IA) et « l'internet of things » (IoT).

En somme, l'analyse de défaillance n'est pas simplement une fonction de support : elle est un pilier essentiel de la compétitivité et de la durabilité technologique dans l'industrie des semi-conducteurs.

L'équipe du C2MI offre l'expertise et l'exécution des analyses de défaillance. Nos experts peuvent élaborer un plan d'analyse sur mesure afin de trouver la cause fondamentale des diverses défaillances de vos produits, qu'ils soient en développement ou en production.

**Contactez notre équipe pour en savoir plus.**




### BIBLIOGRAPHIE

[1] M.-C. Paquet, J. Sylvestre, E. Gros, et N. Boyer, « Underfill delamination to chip sidewall in advanced flip chip packages », dans 2009 59th Electronic Components and Technology Conference, mai 2009, p. 960-965. doi: 10.1109/ECTC.2009.5074129.

[2] S. V. Pabbisetty, Microelectronic Failure Analysis - Desk reference - Failure Analysis Overview, 4th Edition. United States of America: ASM International, 1999.

## CONTACTEZ NOS EXPERTS

 450-534-8000

 [expertise@c2mi.ca](mailto:expertise@c2mi.ca)



45, boulevard de l'Aéroport  
Bromont, QC, Canada, J2L 1S8

 450-534-8000

 [info@c2mi.ca](mailto:info@c2mi.ca)